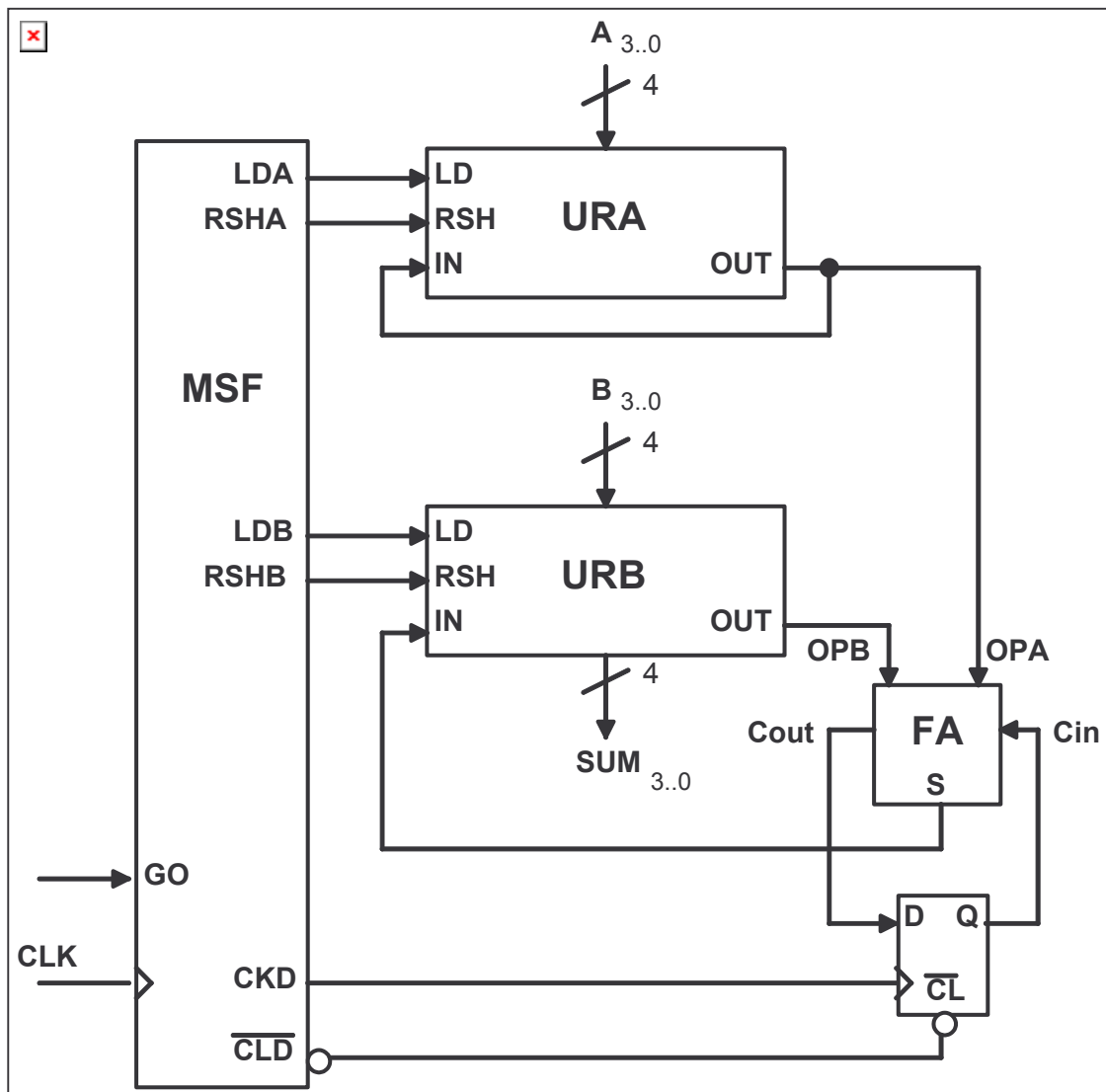


1. Progetto VHDL di sistema con MSF di controllo

14

Il sistema digitale rappresentato in figura è un addizionatore seriale per numeri binari a 4 bit.

I due registri universali URA e URB sono utilizzati per memorizzare gli operandi e il risultato della somma. Il Full-Adder (FA) esegue la somma degli operandi, un bit alla volta a partire dal meno significativo, ed utilizza un Flip-Flop D-PET per memorizzare temporaneamente il riporto. Il risultato della somma è disponibile al termine dell'operazione nel registro URB.



La MSF dispone di un clock **CLK** e controlla il funzionamento dell'intero sistema. La transizione del segnale sincrono **GO** da basso ad alto indica che i valori $A_{3..0}$ e $B_{3..0}$ sono validi e rimarranno stabili per almeno un ciclo di clock..

Un livello alto del segnale **LDA** (**LDB**) comanda il caricamento *asincrono* dell'operando nel registro URA (URB). Una transizione da basso ad alto del segnale **RSHA** (**RSHB**) effettua uno scorrimento verso destra del contenuto del registro URA (URB). Il valore del bit meno significativo viene perso ed il bit più significativo viene sostituito dal valore all'ingresso **IN**.

Per la realizzazione della MSF si hanno a disposizione due tipi di F-F: JK Positive Edge Triggered o JK Master Slave. Il progettista identifichi il dispositivo più opportuno e ne giustifichi la scelta.

Si chiede:

- 1) Descrivere in linguaggio VHDL l'architettura di ogni componente, compresa la MSF (descrivere ogni componente attraverso una visione di tipo *comportamentale*, specificando la sensitivity list mentre il dispositivo generale attraverso una visione strutturale, specificando il port map dei segnali coinvolti e specificati dal disegno) (**punti 14**);